



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Off nl ungungsschrift
⑩ DE 100 03 670 A 1

⑤① Int. Cl.⁷:
H 01 L 23/50
H 01 L 21/60
H 01 L 21/58
H 01 L 23/12

②① Aktenzeichen: 100 03 670.8
②② Anmeldetag: 28. 1. 2000
④③ Offenlegungstag: 9. 8. 2001

DE 100 03 670 A 1

⑦① Anmelder:
Wichmann WorkX AG Information Technology,
85649 Brunnthal, DE

⑦④ Vertreter:
Wächtershäuser und Kollegen, 80331 München

⑦② Erfinder:
Klötzig, Gerold, 85386 Eching, DE; Schöne, Kay,
81925 München, DE

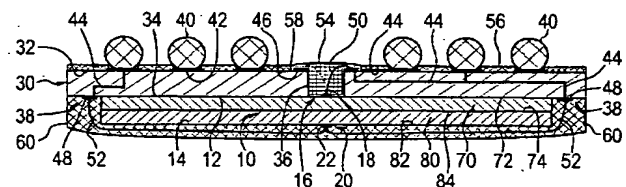
⑤⑤ Entgegenhaltungen:
DE 299 02 754 U1
US 59 52 725
US 58 14 881
US 57 67 570
US 52 27 995
EP 08 83 180 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterbauelement

⑤⑦ Bei einem Halbleiterbauelement ist eine Chipeinheit (10) vorgesehen, die auf ihrer Vorderseite (12) erste Bondinseln (18) und auf ihrer Rückseite (14) zweite Bondinseln (22) aufweist. Ein Interposer (30) ist fest mit der Vorderseite (32) der Chipeinheit (10) verbunden. Erste Bonddrähte (50) sind zwischen den ersten Bondinseln (18) und den ersten Kontaktinseln (46) gezogen und verlaufen durch einen Durchbruch (36) im Interposer (30). Zweite Bonddrähte (52) sind zwischen den zweiten Bondinseln (22) und den zweiten Kontaktinseln (48) gezogen. Ein Speichermodule weist derartige Halbleiterbauelemente auf. Ein Herstellungsverfahren dient insbesondere zur Herstellung eines solchen Halbleiterbauelements.



DE 100 03 670 A 1

Die Erfindung betrifft das Gebiet der integrierten Schaltungen und insbesondere das Gebiet der Gehäusetechnik für Halbleiterchips. Speziell ist die Erfindung für Halbleiterbauelemente vorgesehen, die eine geringe Baugröße für dicht gepackte Schaltungsanordnungen aufweisen. Zum Beispiel können dies Bauelemente mit einem üblicherweise als Micro Ball Grid Array oder auch als CSP (Chip Size Package bzw. Chip Scale Package) bezeichneten Gehäuse sein.

Um in modernen Geräten eine große Funktionalität und Arbeitsgeschwindigkeit bei geringer Baugröße zu erreichen, werden Halbleiterbauelemente in Gehäusen für eine große Packungsdichte eingesetzt. Weitere wichtige Aspekte sind der mechanische Schutz der Halbleiterchips und die Toleranz gegenüber thermisch-mechanischen Belastungen. Ferner soll das Gehäuse eine hohe Arbeitsfrequenz des Halbleiterchips ermöglichen.

Aus dem deutschen Gebrauchsmuster DE 299 02 754 U1 sind mehrere Ausgestaltungen eines Halbleiterbauelements bekannt. Ein Halbleiterchip ist an seiner Vorderseite auf einen Interposer aufgeklebt, so daß mindestens ein Durchbruch des Interposers über mindestens einem Bondinselbereich des Halbleiterchips zu liegen kommt. Bonddrähte sind durch den mindestens einen Durchbruch gezogen und verbinden die Bondinseln des Halbleiterchips mit Kontaktinseln des Interposers, die ihrerseits mit Anschlüssen für die Außenkontaktierung des Bauteils verbunden sind.

Solche Halbleiterbauelemente gemäß DE 299 02 754 U1 stellen schon einen erheblichen Fortschritt dar. Es ist jedoch Aufgabe der Erfindung, diese Halbleiterbauelemente nochmals zu verbessern und besonders hinsichtlich der erzielbaren Packungs- und Integrationsdichte zu optimieren. Vorzugsweise soll das erfindungsgemäße Bauelement ferner kostengünstig und für hohe Frequenzen geeignet sein.

Die der Erfindung zugrundeliegende Aufgabenstellung wird durch ein Halbleiterbauelement mit den Merkmalen des Anspruchs 1, ein Speichermodul mit den Merkmalen des Anspruchs 11 und ein Verfahren zur Herstellung eines Halbleiterbauelements mit den Merkmalen des Anspruchs 12 gelöst. Die abhängigen Ansprüche definieren bevorzugte Ausführungsformen der Erfindung.

Die Erfindung beruht auf der Grundidee, beide Seiten der Chipeinheit des Halbleiterbauelements zu nutzen. Dadurch verdoppelt sich die für Schaltungsstrukturen der Chipeinheit zur Verfügung stehende Fläche ohne Vergrößerung der Fläche der Chipeinheit und damit ohne (flächenmäßige) Vergrößerung des Bauelements. Möglicherweise wird das Bauelement ein wenig dicker, was jedoch für die meisten Anwendungsfällen unproblematisch ist.

Somit verbessert die Erfindung die erzielbare Packungsdichte erheblich. Um die gleiche Leistungssteigerung mit einem üblichen, nur einseitig benutzten Halbleiterchip zu erhalten, müßte die Chipfläche und damit auch die Größe des gesamten Bauelements verdoppelt werden, was sich nachteilig auf die erzielbare Packungsdichte auswirken würde. Außerdem bedingt die Produktion eines Chips mit doppelter Größe einen überproportional größeren Aufwand als die Herstellung eines doppelseitigen Chips oder zweier einseitiger Chips. Schließlich werden bei zu großen zusammenhängenden Chipflächen wegen der langen Signalwege auch die erzielbaren Taktfrequenzen nachteilig beeinflusst.

Dem Anmelder ist gegenwärtig nicht bekannt, ob Chipeinheiten mit doppelseitigen Schaltungsstrukturen bereits hergestellt wurden. Auf jeden Fall werden solche Einheiten in der Praxis nicht in nennenswertem Umfang verwendet. Das Verdienst der Erfindung ist es damit zumindest, ein praktikables Gehäuse für doppelseitige Chipeinheiten vor-

zuschlagen.

Die Begriffe "Vorderseite" und "Rückseite" der Chipeinheit sind im vorliegenden Text nur aus Gründen der klareren Darstellung verwendet worden. Die erfindungsgemäß eingesetzte Chipeinheit ist, wie bereits erwähnt, doppelseitig. Dies heißt, daß beide Seiten der Chipeinheit zumindest Bondinseln (und in bevorzugten Ausführungsformen auch aktive Strukturen) aufweisen, so daß jede der Seiten als Vorder- oder Rückseite bezeichnet werden könnte. Im hier verwendeten Sinne soll daher als die "Vorderseite" der Chipeinheit die mit dem Interposer verbundene Seite angesehen werden, und als die "Rückseite" die entgegengesetzte Seite.

In bevorzugten Ausgestaltungen ragt der Interposer seitlich über die Chipeinheit hinaus, wodurch ein guter mechanischer Schutz erzielt wird. Der Überstand des Interposers kann beispielsweise mindestens 0,5 mm oder mindestens 1 mm oder mindestens 2 mm und höchstens 6 mm oder höchstens 10 mm betragen. Die zweiten Kontaktinseln sind vorzugsweise auf der Rückseite des Interposers in dem überstehenden Bereich angeordnet.

In bevorzugten Ausführungsformen sind die ersten und/oder zweiten Bondinseln in je einem zentralen Bereich der entsprechenden Chipseite angeordnet. Hinsichtlich der Vorderseite der Chipeinheit lassen sich dadurch in Verbindung mit einem ebenfalls zentral gelegenen Durchbruch im Interposer sehr kurze Bonddrahtlängen erzielen. Im Hinblick auf die Rückseite der Chipeinheit sind bei einem zentralen Bondinselbereich längere Bonddrähte erforderlich, die jedoch immer noch kurz genug für heute übliche Halbleiterbauelemente (z. B. asynchrone Speicher oder synchrone Speicher mit Frequenzen von 66 MHz oder 100 MHz) sind. Die Bonddrähte sind von den Bondinseln bevorzugt abwechselnd in zwei Richtungen geführt, um den effektiven Abstand der Bonddrähte voneinander zu erhöhen.

Bei einer weiteren Ausgestaltung der Erfindung ist die Chipeinheit zumindest teilweise von einem Glob Top (Vergußmasse) umgeben. Der Interposer besteht bevorzugt aus einem üblichen Leiterplattenmaterial oder Material mit leiterplattenähnlichen Eigenschaften. Wichtige Kriterien für die Materialwahl sind eine gute mechanische Bearbeitbarkeit und gute Eigenschaften (z. B. Formstabilität) auch bei höheren Temperaturen.

In bevorzugten Ausführungsformen wird eine Vielzahl von Halbleiterbauelementen aus einer Interposerplatte gefertigt. Insbesondere kann dabei vorgesehen sein, die Halbleiterbauelemente erst nach dem Aufbringen eines Glob Tops zu trennen und zu individualisieren.

Die Chipeinheit weist bevorzugt auf ihrer Vorder- und Rückseite außer den Bondinseln auch aktive (Halbleiter-)strukturen auf. Dabei kann die Chipeinheit wahlweise durch Zusammenkleben von zwei einseitigen Halbleiterchips gebildet sein oder aus einem doppelseitigen Halbleiterchip bestehen. Die Art der aktiven Strukturen kann entweder auf beiden Seiten der Chipeinheit gleich sein oder sich unterscheiden.

Das erfindungsgemäße Speichermodul ist in bevorzugten Ausgestaltungen gemäß der Intel PC SDRAM Spezifikation und/oder der JEDEC-Spezifikation 21-C, Abschnitt 4: "Multi-Chip Memory Modules & Cards" ausgestaltet (verfügbar unter <http://developer.intel.com/design/chipsets/memory/sdram.htm> beziehungsweise <http://www.jedec.org/download/pub21/default.htm>).

In bevorzugten Weiterbildungen ist das erfindungsgemäße Speichermodul und/oder das Herstellungsverfahren mit Merkmalen weitergebildet, die den gerade beschriebenen und/oder in den abhängigen Vorrichtungsansprüchen genannten Merkmalen entsprechen.

Weitere Merkmale, Vorteile und Aufgaben der Erfindung

gehen aus der folgenden detaillierten Beschreibung mehrerer Ausführungsbeispiele und Ausführungsalternativen hervor. Es wird auf die schematischen Zeichnungen verwiesen, in denen zeigen:

Fig. 1 eine Draufsicht auf die Vorderseite eines Halbleiterbauelements nach einem ersten Ausführungsbeispiel der Erfindung,

Fig. 2 eine Ansicht der Rückseite des Halbleiterbauelements nach **Fig. 1**,

Fig. 3 eine Schnittdarstellung des in **Fig. 1** gezeigten Halbleiterbauelements entlang der Linie III-III,

Fig. 4 eine Draufsicht auf eine Interposerplatte zur Herstellung von fünfundzwanzig Interposern,

Fig. 5 eine vergrößerte Schnittdarstellung entlang der Linie V-V in **Fig. 4** in einer späteren Stufe des Fertigungsprozesses, und

Fig. 6 eine Schnittdarstellung ähnlich wie **Fig. 3** in einem abgewandelten Ausführungsbeispiel.

Das in **Fig. 1** bis **Fig. 3** gezeigte Halbleiterbauelement weist eine Chipeinheit 10 auf. Die Chipeinheit 10 hat sowohl auf ihrer Vorderseite 12 als auch auf ihrer Rückseite 14 aktive Strukturen, beispielsweise je ein integriertes Speicherfeld. An einem zentralen Bereich 16 der Vorderseite 12 ist die Chipeinheit 10 mit ersten Bondinseln 18 (Pads) versehen. Entsprechend sind in einem zentralen Bereich 20 der Rückseite 14 zweite Bondinseln 22 ausgebildet. Die ersten und zweiten Bondinseln 18, 22 sind im hier beschriebenen Ausführungsbeispiel zentral in je einer Reihe angeordnet. In Ausführungsalternativen können die ersten und/oder die zweiten Bondinseln 18, 22 jedoch auch in mehreren parallel oder rechtwinklig zueinander verlaufenden Reihen angeordnet sein.

Ein Interposer 30, der aus einem Leiterplattenmaterial mit ebener Vorder- und Rückseite 32, 34 besteht, ist fest mit der Chipeinheit 10 verbunden, beispielsweise durch eine Klebeverbindung. Eine solche feste Verbindung ist aufgrund der guten thermischen Anpassung von Chipeinheit 10 und Interposer 30 möglich. Über dem zentralen Bondinselnbereich 16 der Chipeinheit 10 weist der Interposer 30 einen zentral angeordneten Durchbruch 36 auf, der die Gestalt eines langgestreckten, an beiden Schmalseiten abgerundeten Spalts oder Rechtecks hat. Die Vorderseite 12 der Chipeinheit 10 ist an beiden Seiten des Durchbruchs 36 flächig an die Rückseite 34 des Interposers 30 geklebt.

Um eine gute mechanische Stabilität und eine gute Schutzwirkung für die Chipeinheit 10 zu gewährleisten, trennt der Durchbruch 36 den Interposer 30 nicht vollständig. Vielmehr sind die beiden Seitenbereiche des Interposers 30, die sich über den bondinselfreien Bereichen an der Vorderseite 12 der Chipeinheit 10 befinden, durch zwei Stege an je einer Schmalseite des Durchbruchs 36 miteinander verbunden. Der Interposer 30 ist hinsichtlich der Außenabmessungen (d. h., ohne Berücksichtigung des Durchbruchs 36) flächenmäßig größer als die Chipeinheit 10. Genauer gesagt, weist der Interposer 30 auf jeder Seite einen Überstand (überstehender Bereich 38) über die Chipeinheit 10 auf. Dieser Überstand beträgt im hier beschriebenen Ausführungsbeispiel ungefähr 2 mm und in Ausführungsvarianten zwischen 0,5 mm und 10 mm.

Der Interposer 30 dient zum elektrischen Anschluß des Halbleiterbauelements an eine Leiterplatte und ist deshalb an seiner Vorderseite 32 mit Außenanschlüssen 40 versehen, die in Form von Feldern (Arrays) auf beiden Seiten des Durchbruchs 36 (also z. B. in **Fig. 1** rechts bzw. links der Längsseiten des Durchbruchs 36) angeordnet sind. Die Außenanschlüsse 40 sind im hier beschriebenen Ausführungsbeispiel als Lotkugeln (Micro Balls) ausgestaltet, die sich auf Kontaktflächen 42 befinden. In Ausführungsalternativen

können statt der Lotkugeln auch Polymerhügel oder Lotdepots als Außenanschlüsse 40 dienen.

Die Kontaktflächen 42 für die Außenanschlüsse 40 befinden sich an der Vorderseite 32 des Interposers 30. Die Kontaktflächen 42 sind mit Leiterbahnen 44 verbunden, die teils nur zu ersten Kontaktinseln 46 auf der Vorderseite 32 des Interposers 30, teils nur zu zweiten Kontaktinseln 48 auf der Rückseite 34 des Interposers 30, und teils zu mindestens einer ersten und mindestens einer zweiten Kontaktinsel 46, 48 verlaufen. Die Leiterbahnen 44 sind dabei sowohl auf der Oberfläche als auch im inneren Volumen des Interposers 30 geführt (in den Figuren sind beispielhaft nur einige wenige Leiterbahnen 44 gezeigt). Mit anderen Worten ist der Interposer 30 also als mehrlagige (z. B. zwei-, vier- oder sechslagige) Leiterplatte mit den erforderlichen Leiterbahnen (einschließlich Durchkontaktierungen) ausgestaltet. Die Leiterbahnen 44 bestehen im hier beschriebenen Ausführungsbeispiel aus Kupfer und sind im Interesse einer besseren Kontaktierbarkeit auf der Oberfläche vergoldet.

Die ersten Kontaktinseln 46 sind seitlich unmittelbar neben dem Durchbruch 36 im Interposer 30 angeordnet, also z. B. in **Fig. 1** rechts bzw. links der Längsseite des Durchbruchs 36. Die zweiten Kontaktinseln 48 sind im hier beschriebenen Ausführungsbeispiel am Rand des Interposers 30 auf dessen Rückseite 34 gelegen, genauer gesagt im Bereich 38 des Überstands des Interposers 30 über die Chipeinheit 10.

Erste Bonddrähte 50 sind durch den Durchbruch 36 von je einer ersten Bondinsel 18 der Chipeinheit 10 zu je einer ersten Kontaktinsel 46 rechts oder links des Durchbruchs 36 gezogen. Die ersten Bonddrähte 50 verlaufen dabei von der Reihe der ersten Bondinseln 18 abwechselnd zu einer linken bzw. rechten Kontaktinsel 46, so daß die Gefahr einer unerwünschten Berührung von zwei ersten Bonddrähten 50 vermieden wird.

Zweite Bonddrähte 52 sind von den zweiten Bondinseln 22 zu den zweiten Kontaktinseln 48 gezogen (in **Fig. 2** sind der besseren Deutlichkeit halber nur einige dieser zweiten Bonddrähte 52 gezeigt). Dabei verlaufen die zweiten Bonddrähte 52 entlang der Rückseite 14 der Chipeinheit 10, dann um die rückseitige Kante der Chipeinheit 10 und schließlich an den Seitenflächen der Chipeinheit 10. Wieder sind im hier beschriebenen Ausführungsbeispiel die zweiten Bonddrähte 52 abwechselnd zu einer linken bzw. rechten Kontaktinsel 48 gezogen, um den effektiven Abstand der zweiten Bonddrähte 52 voneinander zu erhöhen. Als Material für die ersten und zweiten Bonddrähte 50, 52 dient Gold- oder Aluminiumdraht.

Der Durchbruch 36 ist mit einer an sich bekannten Vergußmasse 54 gefüllt, die auch die ersten Bonddrähte 50 umhüllt und gegen Beschädigungen schützt. Eine Lötstopmaske 56 bedeckt die Vorderseite 32 des Interposers 30, wobei die Kontaktflächen 42 und ein innerer Bereich 58 um den Durchbruch 36 und die daran anschließenden ersten Kontaktinseln 46 freigehalten werden. Die Ränder der Lötstopmaske 56 bilden am freigehaltenen Bereich 58 eine Begrenzung für die Vergußmasse 54.

An der Rückseite des Halbleiterbauelements befindet sich weitere Vergußmasse, die ein Glob Top 60 bildet (in **Fig. 2** ist das Glob Top 60 aus Gründen der klareren Darstellung nicht gezeigt). Das Glob Top 60 umschließt im hier beschriebenen Ausführungsbeispiel den überstehenden Bereich 38 des Interposers 30, die Seiten der Chipeinheit 10, die Rückseite 14 der Chipeinheit 10 und die zweiten Bonddrähte 52. Durch die Kombination des Überstands 38 des Interposers 30 mit dem Glob Top 60 wird ein guter mechanischer Schutz des Halbleiterbauelements bei geringer Baugröße erreicht. Im hier beschriebenen Ausführungsbeispiel

fällt die Dicke des Glob Tops 60 über den überstehenden Bereich 38 hinweg etwas, aber nicht wesentlich ab. Diese besonders vorteilhafte Form wird dadurch erreicht, daß nach dem unten noch genauer beschriebenen Herstellungsverfahren das Glob Top 60 für mehrere Halbleiterbauelemente schon vor der Vereinzelung dieser Bauelemente aufgetragen wird.

Damit die Montage des Halbleiterbauelements nicht behindert wird, müssen die ersten Bonddrähte 50 relativ dicht an der Oberfläche der ersten Kontaktinseln 46 geführt werden, und auch die Vergußmasse 54 darf nur wenig über die Vorderseite 32 des Interposers 30 hinausragen. Ebenso sollten die zweiten Bonddrähte 52 nahe an der Rückseite 14 der Chipeinheit 10 geführt werden, damit die Gesamtdicke des Halbleiterbauelements gering bleibt, auch wenn das Glob Top 60 die zweiten Bonddrähte vollständig einhüllt. In Ausführungsvarianten kann eine isolierende und/oder schützende Schicht auf der Rückseite 14 der Chipeinheit 10 vorgesehen sein, um insbesondere Beschädigungen der zweiten Bonddrähte 52 an den Kanten der Chipeinheit 10 zu verhindern.

Die Chipeinheit 10 besteht im hier beschriebenen Ausführungsbeispiel aus zwei Halbleiterchips 70, 80. Die Halbleiterchips 70, 80 sind übliche, einseitige Chips. Dies heißt, daß je eine Seite 72, 82 ("Vorderseite") der Halbleiterchips 70, 80 aktive Strukturen aufweist, während die andere Seite 74, 84 ("Rückseite") nicht strukturiert ist. Die Halbleiterchips 70, 80 sind an ihren Rückseiten 74, 84 zusammengeklebt. Die mit aktiven Strukturen und den ersten Bondinseln 18 versehene Seite 72 des ersten Halbleiterchips 70 bildet die Vorderseite 12 der Chipeinheit 10, und die mit aktiven Strukturen und den zweiten Bondinseln 22 versehene Seite 82 des zweiten Halbleiterchips 80 bildet die Rückseite 14 der Chipeinheit 10.

In manchen Ausführungsformen sind die Halbleiterchips 70, 80 identische Chips. Wenn es sich beispielsweise um Speicherchips handelt, weisen die damit hergestellten Halbleiterbauelemente die doppelte Speicherkapazität wie übliche Bauelemente mit diesen Chips auf. Die Anzahl der Außenanschlüsse 40 braucht nicht oder nur geringfügig erhöht zu werden, weil viele Eingangssignale (z. B. Adreßsignale) von einem Außenanschluß 40 über eine sich verzweigende Leiterbahn 44 sowohl an den ersten als auch an den zweiten Halbleiterchip 70, 80 geleitet werden. Es sind jedoch auch Ausführungsalternativen vorgesehen, in denen sich die Halbleiterchips 70, 80 voneinander unterscheiden. Zum Beispiel kann es sich um einen Prozessorchip und einen dazu benötigten Unterstützungsbaustein oder einen Cache-Speicher handeln.

In weiteren Ausführungsformen besteht die Chipeinheit 10 aus einem einzigen Halbleiterchip, der beidseitig aktive Strukturen aufweist. Solche Chips können auf bestehenden Fertigungsanlagen hergestellt werden, indem ein Wafer zunächst dem normalen Herstellungsprozeß unterzogen wird, um Halbleiterstrukturen auf einer Seite herzustellen. Diese Seite wird dann passiviert und mit einer stabilen Schutzschicht versehen. Der Wafer wird umgedreht und ein zweites Mal in der Fertigungsanlage bearbeitet, um die noch nicht bearbeitete Seite ebenfalls mit aktiven Strukturen zu versehen. Bei diesem zweiten Bearbeitungsvorgang darf natürlich die Schutzschicht auf der ersten Seite nicht beschädigt werden. Zuletzt wird die genannte Schutzschicht entfernt, um die Bondinseln auf beiden Seiten des Halbleiterchips zugänglich zu machen.

Im folgenden wird ein Ausführungsbeispiel eines Herstellungsverfahrens beschrieben, mit dem sich mehrere erfindungsgemäße Halbleiterbauelemente gleichzeitig und kostengünstig herstellen lassen. Dieses Verfahren geht von ei-

ner in Fig. 4 gezeigten Interposerplatte 90 aus, auf der mehrere (in Fig. 4 fünfundzwanzig) Interposer 30 mit geringem Abstand zueinander ausgebildet werden.

Die Interposerplatte 90 besteht aus einem leiterplattenähnlichen Material, das auch für typische Trägerplatten eingesetzt wird, z. B. einem der als FR4-Epoxy oder FR5-Epoxy oder BT bekannten Materialien. Für jeden der späteren Interposer 30 wird ein Durchbruch 36 in die Interposerplatte 90 eingearbeitet, beispielsweise durch Fräsen oder Stanzen. Außerdem wird auf der Vorderseite der Interposerplatte 90 für jeden späteren Interposer 30 die Lötstopmaske 56 aufgetragen, wobei die ersten Kontaktflächen 42 und der Bereich 58 freigehalten werden. Um eine besonders dicke Lötstopmaske 56 zu erhalten, wird in Ausführungsvarianten entweder ein spezieller Lötstoplack verwendet, oder es werden mehrere (vorzugsweise zwei) Lackschichten aufgetragen.

Nun wird hinter jeden Durchbruch 36 der Interposerplatte 90 eine Chipeinheit 10 aufgeklebt, so daß sich der Durchbruch 36 genau über den ersten Bondinseln 18 befindet. Als Klebstoff wird ein an sich bekanntes Epoxy-Harz verwendet. Jede Chipeinheit 10 kann, wie oben schon erwähnt, entweder aus einem einzigen Halbleiterchip oder aus zwei ebenfalls mit Epoxy-Harz zusammengeklebten Halbleiterchips 70, 80 bestehen.

In einem folgenden Schritt wird die elektrische Verbindung in Form der ersten und zweiten Bonddrähte 50, 52 durch ein an sich bekanntes Bond-Verfahren hergestellt. Hierbei werden die ersten Bonddrähte 50 für jede Chipeinheit 10 durch den entsprechenden Durchbruch 36 hindurch von den ersten Bondinseln 18 zu den ersten Kontaktinseln 46 gezogen, und die zweiten Bonddrähte 52 werden von den zweiten Bondinseln 22 an der Rückseite 14 der Chipeinheit 10 entlang und um deren Seiten herum zu den zweiten Kontaktinseln 48 gezogen.

Nach dem gerade beschriebenen Bonden wird die Vergußmasse 54 in jeden Durchbruch 36 der Interposerplatte 90 und in den daran anschließenden, freigehaltenen Bereich 58 der Lötstopmaske 56 gefüllt. Die ersten Bonddrähte 50 werden dadurch vollständig von der Vergußmasse 54 eingehüllt und so fixiert und geschützt. In einer Ausführungsalternative können diese Schritte auch durchgeführt werden, wenn zwar schon die ersten Bonddrähte 50 angebracht sind, die zweiten Bonddrähte 52 aber noch nicht.

Vor oder nach dem Vergießen der Durchbrüche 36 werden die Glob Tops 60 aufgebracht. Dazu kann die gleiche Vergußmasse wie für die Durchbrüche 36 oder ein anderes Material verwendet werden. Im hier beschriebenen Ausführungsbeispiel wird auf die Interposerplatte 90 eine durchgehende Schicht der Vergußmasse aufgetragen, um Glob Tops 60 zu bilden, die die Rückseiten der fertigen Halbleiterbauelemente vollständig bedecken. Die Zwischenräume zwischen den Chipeinheiten 10 werden dabei zumindest zum großen Teil ausgefüllt, so daß die Glob-Top-Masse eine ebene oder nur leicht wellige Oberfläche bildet. Dieser Zustand ist in der Schnittdarstellung von Fig. 5 gezeigt.

In Ausführungsalternativen können statt einer durchgehenden Schicht auch nur einzelne Flecken aus Glob-Top-Masse aufgetragen werden. Diese Flecken können wahlweise nur die Chipeinheiten 10 oder nur die Zwischenräume zwischen diesen Chipeinheiten 10 bedecken. Im erstgenannten Fall laufen die Glob Tops 60 zu den Seiten der Interposer 30 hin flach aus, was eine Beschädigung der Glob Tops 60 beim späteren Trennen der Interposerplatte 90 vermeidet. Im zweitgenannten Fall bedecken die Glob Tops 60 die Chipeinheiten 10 nicht vollständig. Die aktiven Strukturen auf der Rückseite 14 der Chipeinheiten 10 und die zweiten Bonddrähte 52 müssen dann auf andere Weise geschützt

werden.

Nach dem Aushärten der Glob-Top-Masse werden die Halbleiterbauelemente getrennt, indem die Interposerplatte 90 mit der darauf befindlichen Glob-Top-Masse an Trennbereichen 92 durchschnitten wird (z. B. durch Sägen oder mittels eines Lasers). Die Trennbereiche 92, die in Fig. 4 und Fig. 5 durch gestrichelte Linien angedeutet sind, verlaufen mit geringem Abstand von den Seiten der Chipeinheiten 10 durch die vorzugsweise vergossenen Zwischenräume. Der genannte Abstand bestimmt den Überhang 38 des Interposers 30 bei dem fertiggestellten Bauteil und beträgt beispielsweise 2 mm. Die so gebildeten Halbleiterbauelemente werden nun individualisiert. Während in Ausführungsalternativen die Außenanschlüsse 40 erst jetzt auf die Kontaktflächen 42 aufgebracht werden (z. B. durch Siebdruck oder ein Lotschwallverfahren), findet dieser Schritt im hier beschriebenen Ausführungsbeispiel noch vor der Trennung der Interposerplatte 90, aber nach dem Aufbringen der Lötstopmaske 56 statt.

Wie bereits erwähnt, können die aktiven Strukturen der Chipeinheit 10 auf deren Vorder- und Rückseite 12, 14 gleich oder unterschiedlich sein (unabhängig davon, ob die Chipeinheit 10 ihrerseits aus einem oder mehreren Halbleiterchips besteht).

Fig. 6 zeigt eine Ausführungsvariante, bei der die zweiten Bondinseln 22 auf der Rückseite 14 der Chipeinheit 10 nicht zentral, sondern in zwei Reihen am rechten bzw. linken Rand der Chipeinheit 10 angeordnet sind. Mit anderen Worten weist die Rückseite 14 zwei Bondinselbereiche 20 in je einem Randbereich der Chipeinheit 10 auf. Auch in dieser Ausführungsvariante sind die zweiten Bonddrähte 52 von den Bondinselbereichen 20 zu den zweiten Kontaktinseln 48 geführt. Die zweiten Bonddrähte 52 sind jedoch wesentlich kürzer als bei der Ausgestaltung nach Fig. 3, wodurch die erzielbare Taktfrequenz (wegen der geringeren Induktivität und Kapazität der zweiten Bonddrähte 52) zunimmt. Besonders bei dieser Ausgestaltung kann auch ein Glob Top 60 vorgesehen sein, das nur die Ränder der Chipeinheit 10 umschließt und die Rückseite 14 nicht vollständig bedeckt.

Gegenwärtig sind am Markt sowohl Halbleiterchips mit zentral angeordneten Bondinseln ("center bonded") als auch Chips mit Bondinseln am Rand ("edge bonded") verfügbar. Wegen der guten elektrischen Eigenschaften der Ausführungsform nach Fig. 6 ist es besonders vorteilhaft, zwei Chips in je einer dieser Ausgestaltungen zu kombinieren (z. B. einen Prozessor mit Bondinseln am Rand und einen Cache-Speicher mit Bondinseln in der Mitte). Es ist zu erwarten, daß auch im wesentlichen identische Chips in beiden genannten Ausführungen verfügbar werden. Dann können beispielsweise zwei funktionsgleiche Speicherchips in je einer "center bonded"- und einer "edge bonded"-Variante gemäß Fig. 6 kombiniert werden, um ein Speichermodul mit doppelter Kapazität zu erhalten.

In weiteren Ausführungsalternativen ist an der Vorderseite 12 der Chipeinheit 10 statt oder zusätzlich zu dem zentralen Bondinselbereich 16 mindestens ein weiterer Bondinselbereich vorgesehen. Beispielsweise kann die Vorderseite 12, ähnlich zu der Ausgestaltung der Rückseite 14 in Fig. 6, zwei seitliche Bondinselbereiche aufweisen. In diesen Ausführungsformen weist der Interposer 30 je einen Durchbruch über jedem der Bondinselbereiche an der Vorderseite 12 auf, also beispielsweise zwei seitliche Durchbrüche, wenn zwei seitliche Bondinselbereiche vorhanden sind. Die in diesem Absatz genannten Gestaltungen der Vorderseite 12 und des Interposers 30 können mit einer Gestaltung der Rückseite 14 entweder nach Fig. 3 oder nach Fig. 6 oder nach den oben beschriebenen Ausführungsalternativen kombiniert werden.

Die in der obigen Beschreibung von Ausführungsbeispielen enthaltenen Einzelheiten sollen nicht als Einschränkungen des Schutzbereichs der Erfindung aufgefaßt werden, sondern vielmehr als Beispiele von bevorzugten Ausführungsformen. Viele andere Abwandlungen sind möglich und für den Fachmann offensichtlich. Der Bereich der Erfindung soll deshalb nicht durch die dargestellten Ausführungsbeispiele bestimmt werden, sondern durch die anhängenden Ansprüche und ihre Äquivalente.

Patentansprüche

1. Halbleiterbauelement mit
 - einer Chipeinheit (10), die auf ihrer Vorderseite (12) erste Bondinseln (18) und auf ihrer Rückseite (14) zweite Bondinseln (22) aufweist,
 - einem Interposer (30), der
 - mit der Vorderseite (32) der Chipeinheit (10) fest verbunden ist,
 - mindestens einen Durchbruch (36) aufweist, der über den ersten Bondinseln (18) der Chipeinheit (10) angeordnet ist, und
 - erste und zweite Kontaktinseln (46, 48) sowie damit elektrisch verbundene Anschlüsse (40) für die Außenkontaktierung des Halbleiterbauelements aufweist,
 - ersten Bonddrähten (50), die zwischen den ersten Bondinseln (18) und den ersten Kontaktinseln (46) gezogen sind und durch den mindestens einen Durchbruch (36) verlaufen, und
 - zweiten Bonddrähten (52), die zwischen den zweiten Bondinseln (22) und den zweiten Kontaktinseln (48) gezogen sind.
2. Halbleiterbauelement nach Anspruch 1, bei dem der Interposer (30) seitlich über die Chipeinheit (10) hinausragt.
3. Halbleiterbauelement nach Anspruch 2, bei dem die zweiten Kontaktinseln (48) auf der Rückseite (34) des Interposers (30) in dem über die Chipeinheit (10) hinausragenden Bereich (38) angeordnet sind.
4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, bei dem die ersten und/oder die zweiten Bondinseln (18, 22) in einem zentralen Bereich (16, 20) der jeweiligen Seite (12, 14) der Chipeinheit (10) angeordnet sind.
5. Halbleiterbauelement nach den Ansprüchen 3 und 4, bei dem die zweiten Bonddrähte (52) zwischen den zweiten Bondinseln (22) und wechselseitig je einer zweiten Kontaktinsel (48) auf einer bzw. der anderen Seite des Interposers (30) gezogen sind.
6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5, bei dem die auf dem Interposer (30) befestigte Chipeinheit (10) zumindest teilweise mit einem Glob Top (60) umgeben ist.
7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6, bei dem bei der Herstellung mehrere Interposer (30) auf einer gemeinsamen Interposerplatte (90) ausgebildet sind, wobei die Interposerplatte (90) nach einem Aufkleben der Chipeinheiten (10) in einzelne Halbleiterbauelemente teilbar ist.
8. Halbleiterbauelement nach einem der Ansprüche 1 bis 7, bei dem die Chipeinheit (10) auf ihrer Vorder- und Rückseite (12, 14) aktive Strukturen aufweist.
9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, bei dem die Chipeinheit (10) aus zwei miteinander verbundenen Halbleiterchips (70, 80) besteht, wobei eine aktive Strukturen aufweisende Seite (72) des ersten Halbleiterchips (70) die Vorderseite (12) der

Chipeinheit (10) bildet und eine aktive Strukturen aufweisende Seite (82) des zweiten Halbleiterchips (80) die Rückseite (14) der Chipeinheit (10) bildet.

10. Halbleiterbauelement nach einem der Ansprüche 1 bis 8, bei dem die Chipeinheit (10) ein einstückiger Halbleiterchip mit aktiven Strukturen auf der Vorder- und der Rückseite (12, 14) ist.

11. Speichermodul mit mehreren Halbleiterbauelementen nach je einem der Ansprüche 1 bis 10.

12. Verfahren zur Herstellung eines Halbleiterbauelements, insbesondere eines Halbleiterbauelements nach einem der Ansprüche 1 bis 10, mit den Schritten:

– Bereitstellen einer Vielzahl von Chipeinheiten (10), von denen jede auf ihrer Vorderseite (12) erste Bondinseln (18) und auf ihrer Rückseite (14) zweite Bondinseln (22) aufweist,

– Bereitstellen einer Interposerplatte (90) mit einer Vielzahl von Durchbrüchen (36),

– Aufkleben der Vielzahl von Chipeinheiten (10) mit ihren Vorderseiten (12) auf die Interposerplatte (90), so daß mindestens je ein Durchbruch (36) der Interposerplatte (90) über den ersten Bondinseln (18) jeder Chipeinheit (10) angeordnet ist,

– Ziehen von ersten Bonddrähten (50) zwischen den ersten Bondinseln (18) und den ersten Kontaktinseln (46), wobei die ersten Bonddrähte (50) durch die Durchbrüche (36) der Interposerplatte (90) gezogen werden, und

– Ziehen von zweiten Bonddrähten (52) zwischen den zweiten Bondinseln (22) und den zweiten Kontaktinseln (48).

13. Verfahren nach Anspruch 12, mit den weiteren Schritten:

– Vergießen der Durchbrüche (36) der Interposerplatte (90) sowie der Zwischenräume zwischen den Chipeinheiten (10), und

– Trennen der Interposerplatte (90) an den vergossenen Zwischenräumen zwischen den Chipeinheiten (10).

14. Verfahren nach Anspruch 12 oder Anspruch 13, bei dem zum Bereitstellen jeder Chipeinheit (10) zwei Halbleiterchips (70, 80) miteinander flächig verklebt werden, wobei eine aktive Strukturen aufweisende Seite (72) des ersten Halbleiterchips (70) die Vorderseite (12) der Chipeinheit (10) bildet und eine aktive Strukturen aufweisende Seite (82) des zweiten Halbleiterchips (80) die Rückseite (14) der Chipeinheit (10) bildet.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

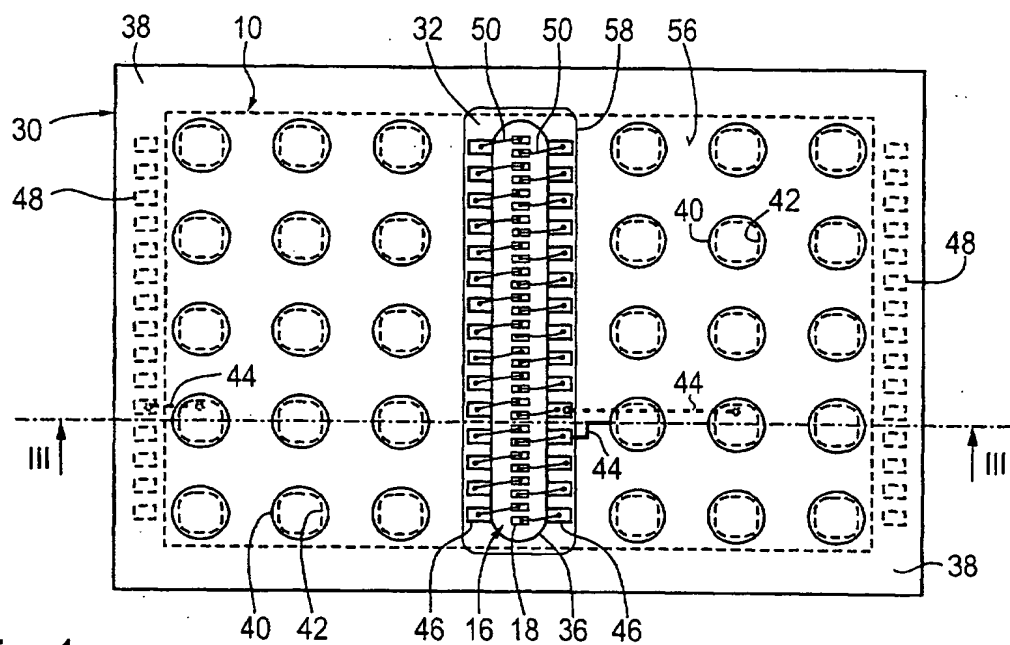


Fig. 1

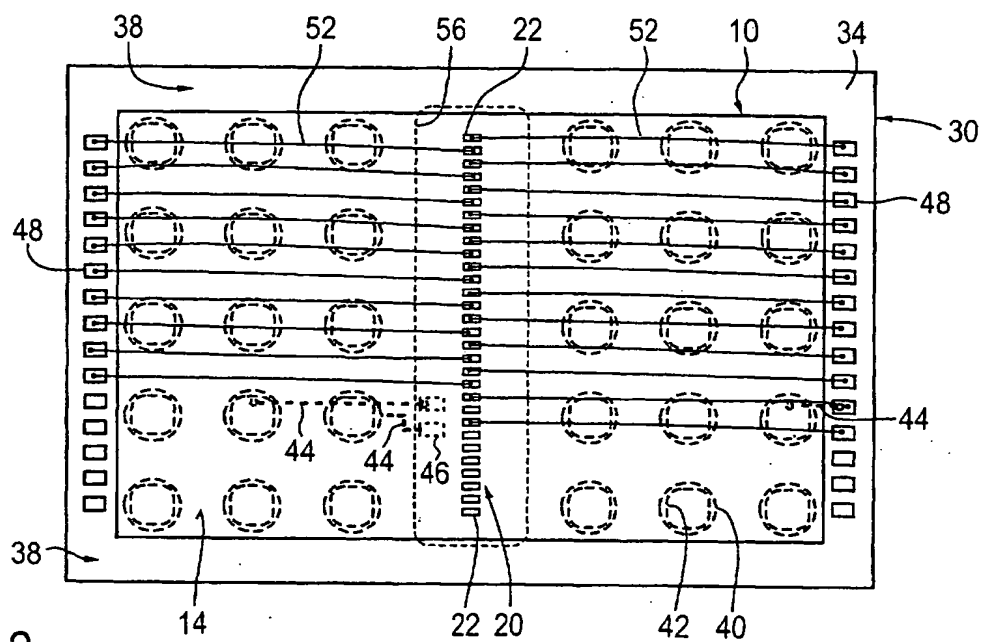


Fig. 2

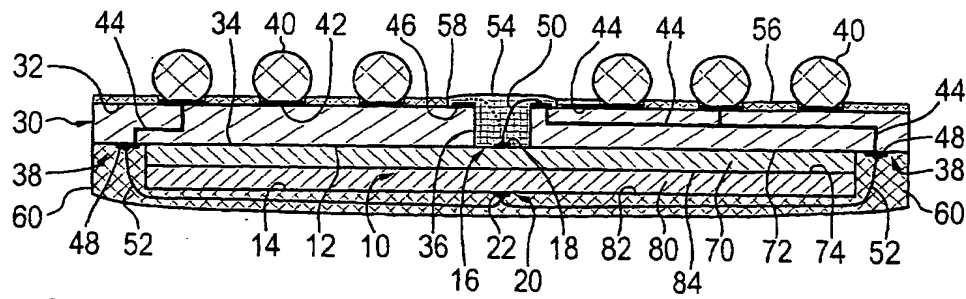


Fig. 3

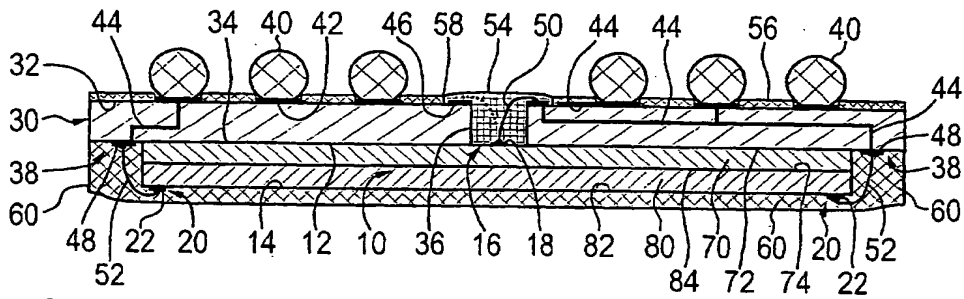


Fig. 6

